

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H03F 3/00

(11) Publication No.: P1993-7291

(21) Application No.: 10-1989-18068

(43) Publication Date: 4 August 1993

(22) Application Date: 7 December 1989

(71) Applicant:

MOTOROLA INC.

(72) Inventor:

HUYNH LUONG THIEN

(54) Title of the Invention:

AMPLIFIER OUTPUT STAGE

Claims:

1. A push-pull output stage comprising:
 - an input terminal;
 - an output terminal for connection to a load;
 - a current sourcing section coupled to the input terminal for sourcing current to the output terminal;
 - a current sinking section for sinking current from the output terminal ; and
 - a cascade stage coupled to the input terminal for driving the current sinking stage and biasing both the current sinking and sourcing stages and voltage bias mean for biasing the cascade stage.

대한민국특허청(KR)

Int. Cl.
H 03 F 3/00

특 허 공 보 (B₁)

제 3361 호

공고일자 1993. 8. 4

공고번호 93- 7291

출원일자 1989. 12. 7

출원번호 89-18068

우선권주장 1988. 12. 10 영국(GB)
8828917.8

심사관 김 영 길

발 명 자 훈호 루용 티엔

스위스연방공화국, 에팔링제 1066, 쇠뎡 도프레쿠아즈 15

출 원 인 모토로라 인코포레이티드 대표자 에이취·이보트슨

미합중국, 일리노이 60196, 샤움버그, 이스트 앨공컨 로드 1303

대리인 변리사 이 병 호·최 달 용

(전 5 면)

증폭기 출력단

도면의 간단한 설명

제 1 도는 본 발명의 증폭기의 일실시예를 도시한 도면.

제 2 도a도 및 제 2 도b도는 제 1 도의 증폭기에 대한 전류 이득부의 또다른 실시예를 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명

10 : 입력단자, 11 : 에미터 플로워단, 12 : 공급선로, 14 : 접지 기준단자, 20 : PNP 다알링턴단, 21, 22, 41, 42, 43, 50 : PNP 트랜지스터, 23, 44, 62, 63, 75, 76 : 저항, 40 : 바이어스전압원, 50 : 캐스코드 PNP 트랜지스터, 60, 61, 71, 72, 73, 74 : NPN 트랜지스터, 70 : 전류 싱크부, 80 : 출력단자.

발명의 상세한 설명

본 발명은 증폭기 출력단에 관한 것이며, 특히 전적으로 확성기에 적용되는 것은 아니지만은 주로 확성기 구동용 출력단에 관한 것이다.

종래의 전형적인 증폭기 출력단은 직렬 연결된 NPN 트랜지스터와 PNP 트랜지스터를 구비하는데, 이 두 트랜지스터는 이들 사이의 절점에 제공되는 출력을 갖는 푸시풀(push pull) 형태로 구동되도록 배열되어 있다.

입력 신호의 $\frac{1}{2}$ 주기에서, 전류는 NPN 트랜지스터를 경유하여 상기 출력에 연결된 부하에 인가되는 반면, 입력 신호의 다른 $\frac{1}{2}$ 주기에서 전류는 PNP 트랜지스터에 의해 상기 부하로부터 싱크(sink)된다.

이러한 형태의 출력 스테이지는 여러가지 문제점을 갖게된다. 정확히 확정된 트랜지스터의 베이스-에미터 전압 V_{BE} 값을 알아야만 되기 때문에, 트랜지스터에 대한 소망 바이어스 전류를 얻기가 어렵다. 또한 PNP 파워 트랜지스터의 사용은 반도체 다이상에서 더 많은 공간을 필요로 한다. 일반적으로, 종래의 회로는 저전류의 가능출력(capability)을 갖는다.

또다른 종래의 증폭기에 있어서, PNP 트랜지스터는 대규모의 PNP 파워 트랜지스터의 필요성을 배제하는 합성 다알링톤 PNP-NPN 출력단으로 대체된다. 그러나 이러한 형태의 증폭기 또한 상기한 바이어스 전류상의 문제 및 안정성 문제를 갖고, 고이득 다알링톤 단의 채택으로 인하여 증폭기가 발진하는 경향이

있다.

본 발명은 상기 문제점들을 최소화한 증폭기 출력단을 제공하는 것이다.

본 발명에 있어서, 무시물 출력단은 입력단자와, 부하에 연결된 출력단자와, 입력단자에 연결되어 전류를 출력단자에 공급하는 전류 공급부와, 출력단자로부터 나오는 전류를 싱크시키는 전류 싱크(current sink)부와, 입력단자에 연결되어 전류 싱크단을 구동시키고 전류 싱크단과 전류 공급단을 바이어스시키는 캐스코드(cascode)단과 상기 캐스코드단을 바이어스시키는 전압 바이어스 수단으로 구성된다.

바람직하게, 전류 공급단은 PNP 다알링톤단을 구비한다.

상기 캐스코드단은 저출력 임피던스 구동기단, 즉, 전형적으로 에미터 폴로워단으로 구동되는 것이 유용하다.

상기 전류 싱크부는 전류 이득부를 구비하는 것이 바람직하다. 상기 전류 이득부는 전류 미러 또는 베타 이득 결합 트랜지스터이다.

미러 캐패시턴스는 입력단자와 출력단자간에 결합되는 것이 바람직하다.

본 발명의 출력단에 대한 실시예가 첨부한 도면을 참조하여 이하에 상세히 설명될 것이다.

제 1 도에서, 입력단자(10)는 에미터 프로워단(11)으로 형성된 저 임피던스 구동기단의 베이스에 연결되며, 상기 에미터 폴로워단(11)은 공급선로(12)에 연결된 콜렉터와 전류원(13)을 경유하여 접지 기준단자(14)에 연결된 에미터를 갖는 NPN 트랜지스터를 구비한다.

상기 NPN 트랜지스터(11)의 에미터는 PNP 트랜지스터(21, 22)를 구비하는 PNP 다알링톤단(20)에 연결된다. 상기 두 PNP 트랜지스터(21, 22)의 에미터는 공급선로(12)에 연결되고, 상기 트랜지스터(21)의 에미터는 트랜지스터(21)를 통과하는 전류를 결정하는 저항(23)을 경유하여 공급선로(12)에 연결되고 또한 트랜지스터(22)의 베이스에 연결된다. 트랜지스터(21)의 콜렉터는 접지 기준단자(14)에 연결된다.

다알링톤단(20)의 입력은 트랜지스터(21)의 베이스에 연결되는 반면, 출력은 전류 공급 NPN 트랜지스터(30)의 베이스를 구동하도록 연결된 트랜지스터(22)의 콜렉터로부터 발생된다.

상기 전류 공급 트랜지스터(30)의 콜렉터는 공급선로(12)에 연결되는 반면, 그 에미터는 출력단자(80)에 연결되는데, 동작시에 활성기와 같은 부하가 이 출력단자(80)에 연결된다.

저항(23)에 연결된 트랜지스터(21, 22, 30)는 전류를 출력단자(80)에 공급하기 위하여 전류 공급부를 형성한다. 에미터 폴로워 트랜지스터(11)는 또한 캐스코드 연결된 PNP 트랜지스터(50)의 에미터에 연결되는데, 이 트랜지스터(50)의 베이스는 바이어스 전압원(40)에 연결된다.

상기 바이어스 전압원(40)은 3개의 PNP 트랜지스터(41, 42, 43)와, 하나의 저항(44)과 그리고 하나의 전류원(45)을 구비한다.

PNP 트랜지스터(43)의 에미터는 공급선로(12)에 연결된다. PNP 트랜지스터(41)는 PNP 트랜지스터(43)의 콜렉터에 연결되고 전류원(45)을 경유하여 접지 기준단자(14)에 연결되는 베이스와, 접지 기준단자(14)에 연결되는 콜렉터 및 PNP 트랜지스터(42)의 베이스 및 콜렉터에 연결되는 에미터를 구비한다. PNP 트랜지스터(42)의 에미터는 PNP 트랜지스터(43)의 베이스에 연결되고 상기 PNP 트랜지스터(41, 42)를 통과하는 전류를 고정시키는 저항(44)을 경유하여 공급선로(12)에 연결된다. 전류원(45)은 PNP 트랜지스터(43)에 전류를 공급한다. 전압원(40)의 출력은 캐스코드 트랜지스터(50)의 베이스에 연결된 PNP 트랜지스터(41)의 베이스에서 취해진다. 이 전압원(40)은 공급선로(12)로부터 나오는 3개의 베이스-에미터 접합 전압인 전압을 제공한다.

캐스코드 트랜지스터(50)의 콜렉터는 하나의 저항(62)과 두개의 NPN 전류 미러 결합 트랜지스터(60, 61)

를 포함하는 전류 이득부에 연결되며, 상기 전류 이득부는 이들 트랜지스터의 에미터 영역의 비+1과 같은 이득 인자를 갖는다. NPN 트랜지스터(60, 61)의 에미터는 서로 결합되어 트랜지스터(50, 60, 61)를 통과하는 전류를 고정시키는 저항(62)을 경유하여 접지 기준단자(14)에 연결된다. 트랜지스터(60, 61)의 베이스는 서로 결합되어 캐스코드 PNP 트랜지스터(50)와 NPN 트랜지스터(61)의 컬렉터에 연결된다. NPN 트랜지스터(60)의 컬렉터는 공급선로(12)에 연결된다. 만일 고이득이 필요로 되는 경우, PNP 트랜지스터(61)는 제 2a도 또는 2b도에 보인 바와같이 저항과 함께 NPN 베타 이득을 형성하도록 결합된 저항(63)으로 대체될 수 있는 장점이 있다.

캐스코드 PNP 트랜지스터(50)의 에미터가 PNP 다알링톤 트랜지스터(21)의 베이스에 연결되고 상기 트랜지스터(50)의 베이스가 전압원(40)의 출력에 연결되어 있는 상기 캐스코드 PNP 트랜지스터(50)는 상기 다알링톤단에 바이어스 전압을 제공하도록 동작한다. 이것은 전압원(40)의 3개의 베이스-에미터 접합 전압이 PNP 트랜지스터(50, 21, 22)의 3개의 베이스-에미터 접합과 정합된다는 것을 의미한다. 일단 캐스코드 PNP 트랜지스터(50)의 컬렉터 전류가 다음의 전류 이득부에 의해 공급되면, PNP 트랜지스터(22)의 전류가 결정되어 전류원(45)의 함수가 된다.

전류 이득단 트랜지스터(60, 61)의 에미터는 서로 결합되어 입력 신호의 적당한 $\frac{1}{2}$ 주기동안 출력단자(80)로부터 나오는 전류를 싱크하도록 연결된 전류 싱크부(70)를 구동시킨다.

전류 싱크부는 4개의 NPN 트랜지스터(71, 72, 73, 74)와 2개의 저항(75, 76)을 구비한다. 전류 이득부의 트랜지스터(60, 61)의 에미터는 NPN 트랜지스터(72)의 베이스와 저항(75)을 경유하여 NPN 트랜지스터(71)의 베이스에 연결된다. NPN 트랜지스터(71, 72)의 에미터는 접지 기준단자(14)에 연결된다. NPN 트랜지스터(71)의 컬렉터는 다이오드 기능을 하는 NPN 트랜지스터(74)를 경유하여 PNP 다알링톤단의 PNP 트랜지스터(22)의 컬렉터에 연결되며, NPN 트랜지스터(72)의 컬렉터는 출력단자(80)에 연결된다.

따라서, 중추 루우프(vital loop)는 회로의 양호한 바이어스를 보장하도록 형성된다. PNP 트랜지스터(22)의 컬렉터로부터 나오는 전류는 NPN 트랜지스터(71)의 컬렉터 전류를 고정시킨다. 그리고 트랜지스터(71)의 베이스와 트랜지스터(72)의 베이스간의 결합이 트랜지스터(72)의 컬렉터 전류를 고정시키며, 트랜지스터(72)의 컬렉터 전류는 트랜지스터(30)의 전류를 고정시킨다. 트랜지스터(72)의 컬렉터 정전류의 진폭은 트랜지스터(71, 72)의 에미터 영역의 비에 따라 정해진다.

트랜지스터(71)의 컬렉터와 트랜지스터(72)의 컬렉터 사이에 설치된, 다이오드로서 기능을 하는 NPN 트랜지스터(73)는 트랜지스터(71)가 중간치의 싱크 전류에서 포화 상태로 되는 것을 방지하기 위해 사용된다. 고 싱크 전류에서, 저항(75)은 트랜지스터(71)의 컬렉터 전류를 제한하고 출력단자(80)에서의 전압이 트랜지스터(72)의 포화 전압치에 이르게 한다. 다이오드 기능을 하는 트랜지스터(74) 및 트랜지스터(71, 72)의 컬렉터 사이에 결합된 저항(76)은 교차 통로(cross-over passage)를 순조롭게 하는데 사용된다.

입력단자(10)와 출력단자(80)간에 결합된 밀러 캐패시터는 증폭기의 주파수 위상 천이를 보상하는데 사용된다.

동작시에, 전치 증폭기(preamplifier)로부터 나오는 오디오 신호와 같은 발전 입력신호가 증폭기의 입력단자(10)에 인가된다.

전류가 에미터 폴로워단 트랜지스터(11)의 베이스로 공급되는 입력신호의 $\frac{1}{2}$ 주기동안, 상기 에미터 폴로워는 캐스코드 트랜지스터(50)를 경유하여 전류 이득단(60)으로 흐르는 에미터 다이내믹 출력 전류를 제공한다. 이 단(60)은 상기 전류 싱크부(70)를 구동하여 출력단자(80)로부터 나오는 전류가 싱크되도록 한다.

입력신호의 또다른 $\frac{1}{2}$ 주기에서, 에미터 플로워단 크랜지스터(11)의 베이스로부터 전류가 흘러 나오는데, 이 트랜지스터(11)은 PNP 다알링톤단(20)으로부터 나오는 전류를 흡수하여 이 전류가 트랜지스터(21, 22)를 통해 트랜지스터(30)의 베이스로 이끌려지도록 한다. 또한 트랜지스터(30)는 출력단자(80)에 전류를 인가시킨다.

각각 출력단자(80)에 공급되어 그로부터 싱크되는 전류($\Delta I_1, \Delta I_2$)와 에미터 플로워단(11)의 전류(ΔI) 사이의 관계식은 다음과 같다. 즉,

$$\Delta I_1 = \Delta I \cdot \beta_P \cdot \beta_N$$

$$\Delta I_2 = \Delta I \cdot N \cdot \beta_N$$

여기서 β_P 와 β_N 은 각각 회로의 PNP 트랜지스터 및 NPN 트랜지스터의 이득을 나타내며 N은 전류 이득부의 이득 인자이다.

PNP 트랜지스터의 이득치 β_P 에 따라, 이득 인자 N이 전송함수 특성의 균동성을 얻을 수 있도록 선택될 수 있다.

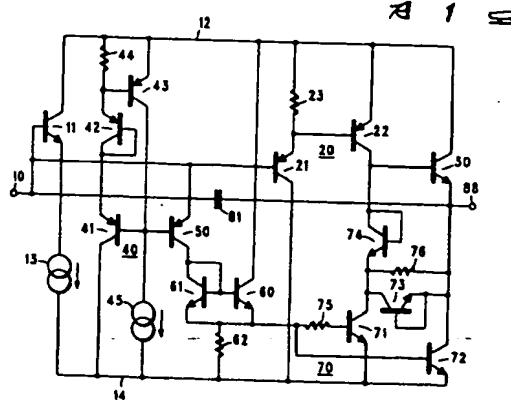
본 발명의 증폭회로는 전술한 바와같은 종래 기술의 증폭회로와 비교하여 여러가지 장점을 갖는다. 본 회로가 고 전류의 가능출력을 갖지만은 저 임피던스 구동을 제공하는 에미터 플로워단으로 구동되기 때문에 종래 기술의 회로에서보다 더 안정성을 유지하게 된다.

캐스코드단(50)을 이용한 회로의 바이어스는 더욱더 간단하고 안정하게 된다.

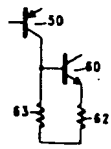
본 발명은 실시예를 들어 상술되었으며 본 발명의 정신을 벗어나지 않는 범위에서 여러가지 변형이 가능하다. 예컨대, 어떠한 간편한 저 임피던스 구동단이 에미터 플로워(11)를 대체할 수 있다.

⑦ 특허청구의 범위

1. 입력단자와, 부하에 연결되는 출력단자와, 입력단자에 연결되어 전류를 출력단자에 공급하는 전류 공급부와, 출력단자로부터 나오는 전류를 싱크하는 전류 싱크부와, 입력단자에 연결되어 전류 싱크단을 구동하고 전류 싱크단 및 전류 공급단을 바이어스시키는 캐스코드 수단과, 캐스코드단을 바이어스시키는 전압 바이어스 수단을 구비하는 것을 특징으로 하는 무시플 출력단.
2. 제 1 항에 있어서, 상기 전류 공급부가 PNP 다알링톤단을 구비하는 것을 특징으로 하는 무시플 출력단.
3. 제 1 항에 있어서, 상기 캐스코드단(11)이 저출력 임피던스 구동기단으로 구동되는 것을 특징으로 하는 무시플 출력단.
4. 제 3 항에 있어서, 상기 저출력 임피던스 구동기단이 에미터 플로워인 것을 특징으로 하는 무시플 출력단.
5. 제 1 항에 있어서, 상기 전류 싱크단이 전류 이득부를 포함하는 것을 특징으로 하는 무시플 출력단.
6. 제 5 항에 있어서, 상기 전류 이득부가 전류 미러를 구비하는 것을 특징으로 하는 무시플 출력단.
7. 제 5 항에 있어서, 상기 전류 이득단이 베타 이득 결합 트랜지스터를 구비하는 것을 특징으로 하는 무시플 출력단.
8. 제 1 항에 있어서, 입력단자와 출력단자 사이에 결합된 밀러 캐패시턴스를 포함하는 것을 특징으로 하는 무시플 출력단.



B 2a



B 2b

